

DERWENT-ACC-NO: 1998-367285

DERWENT-WEEK: 199832

COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: Clock controller for CPU in PC, notebook PC -
changes
clock of CPU, based on clock value read out by
comparator
corresponding to usage state of CPU

PATENT-ASSIGNEE: CASIO COMPUTER CO LTD[CASK]

PRIORITY-DATA: 1996JP-0298923 (November 11, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 10143274 A	May 29, 1998	N/A
007 G06F 001/08		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 10143274A	N/A	1996JP-0298923
November 11, 1996		

INT-CL (IPC): G06F001/04, G06F001/08 , G06F015/02

ABSTRACTED-PUB-NO: JP 10143274A

BASIC-ABSTRACT:

The controller includes a scheduler (2) that chooses from several tasks to be processed. Memories (6-8) store the usage state of each CPU for these tables. The amount of CPU used is made to correspond, and a clock table (12) stores the clock value of CPU.

Corresponding to the task chosen by the scheduler, a selector (S) reads usage state of CPU from memories. A comparator (11) reads out the clock value of CPU corresponding to the operation rate of CPU. A clock selector (13) changes the

BEST AVAILABLE COPY

clock of CPU based on the clock value of CPU read out by the comparator.

ADVANTAGE - Reduces power consumption in CPU.

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS: CLOCK CONTROL CPU CHANGE CLOCK CPU BASED CLOCK VALUE
READ

COMPARATOR CORRESPOND STATE CPU

DERWENT-CLASS: T01

EPI-CODES: T01-K01; T01-M06A1;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-287262

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-143274

(43)公開日 平成10年(1998)5月29日

(51)Int.Cl.⁶

G 0 6 F 1/08
1/04
15/02

識別記号

3 0 1
3 0 5

F I

G 0 6 F 1/04
15/02

3 2 0 A
3 0 1 C
3 0 5 G

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21)出願番号

特願平8-298923

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(22)出願日

平成8年(1996)11月11日

(72)発明者 桜井 敬一

東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社羽村技術センター内

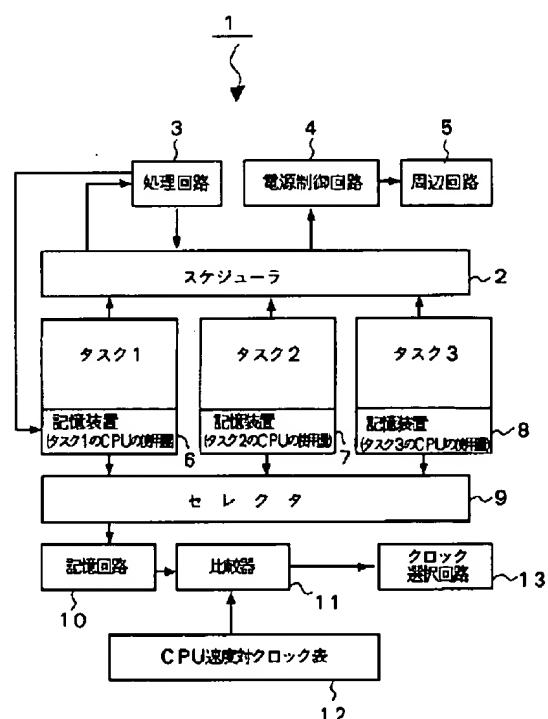
(74)代理人 弁理士 荒船 博司 (外1名)

(54)【発明の名称】 CPUのクロック制御装置

(57)【要約】

【課題】 CPUの消費電力を低減することが可能なCPUのクロック制御装置を提供することにある。

【解決手段】 スケジューラ2は、タスク1～3のうち順次、一つだけを選択し、処理回路3に出力し、処理回路3は、選択されたタスクを実行する。また、セレクタ9は、スケジューラ2によって選択されるタスクに対応するCPUの使用量を記憶装置6～8から読み出し、記憶回路10に出力する。記憶回路10は、セレクタ9から入力されるCPUの使用量を一時的に記憶し、比較器11は、CPU速度対クロック表12を参照して、記憶回路10から入力される現在選択されているタスクのCPUの使用量に対応するクロック値を読み出してクロック選択回路13に出力し、クロック選択回路13は、入力されるクロック値に基づいてクロックを切り替える。



1

【特許請求の範囲】

【請求項1】複数のタスクから処理すべきタスクを選択するスケジューラと、

前記複数のタスクの各々のCPUの使用量を記憶する記憶手段と、

前記CPUの使用量に対応させてCPUのクロック値を記憶するテーブルと、

前記スケジューラで選択されたタスクに対応するCPUの使用量を前記記憶手段から読み出す選択手段と、

前記選択手段により当該読み出されたCPUの使用量に対応するCPUのクロック値を前記テーブルから読み出す比較手段と、

前記比較手段により読み出されたCPUのクロック値に基づいてCPUのクロックを切り替えるクロック選択手段と、

を備えたことを特徴とするCPUのクロック制御装置。

【請求項2】前記記憶手段に格納されているCPUの使用量を書き換える可能としたことを特徴とする請求項1記載のCPUのクロック制御装置。

【請求項3】複数のタスクから処理すべきタスクを選択するスケジューラと、

前記複数のタスクの各々のCPUの使用量を記憶する記憶手段と、

前記CPUの使用量に対応させてCPUのクロック値を記憶するテーブルと、

前記スケジューラにより選択されたタスクのうち動作中であるタスクと、中断中のタスクに対応するCPUの使用量を夫々前記記憶手段から読み出して、当該読み出したCPUの使用量を加算して、CPUの総使用量を算出する加算手段と、

前記加算手段により算出されたCPUの総使用量に対応するCPUのクロック値を前記テーブルから読み出す比較手段と、

前記比較手段により読み出されたCPUのクロック値に基づいて、クロック値を切り替えるクロック選択手段と、

を備えたことを特徴とするCPUのクロック制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CPUのクロック制御装置に係り、詳細には、CPUの動作クロック値を制御して、CPUの消費電力を低減させたCPUのクロック制御装置に関する。

【0002】

【従来の技術】近時、パソコン等の電子機器においては、消費電力を低減するために種々の方法が採用されている。例えば、ノートパソコンの低消費回路においては、キーボード装置などが一定時間入力がない場合には、モニタの電源を低消費モードに移行させたり、またフロッピーなどの二次記憶装置などが同じく所定時間ア

50

2

クセスがない場合にモータなどを止めるなどの処理を行っている。

【0003】また、電子手帳等の情報携帯端末器などで見られる低消費回路にあっては、同じくキーボードやタッチパネルなどが所定時間入力がない場合に、バックアップの必要な最低限のメモリや割り込み制御などだけに低電圧供給を行い、周辺回路の電源を供給するのを停止していた。

10

【0004】ところで、近時、電子機器においては、高機能化が進んでおり、それに伴って、高性能かつ高速なCPUが搭載されるようになってきている。CPUでは動作クロックの周波数が高くなると消費電力が大となる。

【0005】

【発明が解決しようとする課題】しかしながら、上述した如く、電子機器にあっては、高速なCPUを搭載しているため、CPUによる消費電力が大となるという問題がある。

20

【0006】本発明の課題は、CPUの消費電力を低減することが可能なCPUのクロック制御装置を提供することにある。

【0007】

【課題を解決するための手段】請求項1記載の発明は、複数のタスクから処理すべきタスクを選択するスケジューラと、前記複数のタスクの各々のCPUの使用量を記憶する記憶手段と、前記CPUの使用量に対応させてCPUのクロック値を記憶するテーブルと、前記スケジューラで選択されたタスクに対応するCPUの使用量を前記記憶手段から読み出す選択手段と、前記選択手段により当該読み出されたCPUの使用量に対応するCPUのクロック値を前記テーブルから読み出す比較手段と、前記比較手段により読み出されたCPUのクロック値に基づいてCPUのクロックを切り替えるクロック選択手段と、を備えたことにより上記課題を解決する。

30

【0008】この請求項1記載の発明によれば、スケジューラは、複数のタスクから処理すべきタスクを選択し、記憶手段は、複数のタスクの各々のCPUの使用量を記憶し、テーブルは、CPUの使用量に対応させてCPUのクロック値を記憶し、選択手段は、スケジューラで選択されたタスクに対応するCPUの使用量を記憶手段から読み出し、比較手段は、選択手段により当該読み出されたCPUの使用量に対応するCPUのクロック値をテーブルから読み出し、そして、クロック選択手段は、比較手段により読み出されたCPUのクロック値に基づいてCPUのクロックを切り替える。

40

【0009】したがって、タスク毎に、CPU処理に必要な量を記憶し、タスクスケジューラがタスクを切り換えると同時にそのタスクに必要なクロックが選択可能な構成であるため、常に無駄のないCPU能力で動作することが可能となり、CPUにおける消費電力を低減する

ことが可能となる。

【0010】また、この場合、請求項2の発明の如く、前記記憶手段に格納されているCPUの使用量を書き換え可能としたことが有効である。

【0011】即ち、請求項2記載の発明によれば、請求項1記載の発明において、記憶手段に格納されているCPUの使用量を書き換え可能とした。

【0012】したがって、請求項1記載の発明の効果に加えて、細かくかつダイナミックにCPU能力を制御することが可能となる。

【0013】請求項3記載の発明は、複数のタスクから処理すべきタスクを選択するスケジューラと、前記複数のタスクの各々のCPUの使用量を記憶する記憶手段と、前記CPUの使用量に対応させてCPUのクロック値を記憶するテーブルと、前記スケジューラにより選択されたタスクのうち動作中であるタスクと、中断中のタスクに対応するCPUの使用量を夫々前記記憶手段から読み出して、当該読み出したCPUの使用量を加算して、CPUの総使用量を算出する加算手段と、前記加算手段により算出されたCPUの総使用量に対応するCPUのクロック値を前記テーブルから読み出す比較手段と、前記比較手段により読み出されたCPUのクロック値に基づいて、クロック値を切り替えるクロック選択手段と、を備えたことにより上記課題を解決する。

【0014】即ち、請求項3記載の発明によれば、スケジューラは、複数のタスクから処理すべきタスクを選択し、タスク処理手段は、スケジューラで選択されたタスクを実行し、記憶手段は、複数のタスクの各々のCPUの使用量を記憶し、テーブルは、CPUの使用量に対応させてCPUのクロック値を記憶し、加算手段は、スケジューラにより選択されたタスクのうち動作中であるタスクと、中断中のタスクに対応するCPUの使用量を夫々前記記憶手段から読み出して、当該読み出したCPUの使用量を加算して、CPUの総使用量を算出し、比較手段は、加算手段により算出されたCPUの総使用量に對応するCPUのクロック値をテーブルから読み出し、そして、クロック選択手段は、クロック選択手段は、比較手段により読み出されたCPUのクロック値に基づいて、クロック値を切り替える。

【0015】従って、現在CPUが必要とされるタスクの量に応じたクロックを選択可能な構成であるので、適宜最適なCPU能力で動作することになり、無駄なCPU能力で動作することがなくなり、有効な消費電力管理を行うことが可能となる。

【0016】

【発明の実施の形態】以下、図1～図4を参照して本発明の実施の形態を詳細に説明する。

(第1の実施の形態) 図1は、本発明に係るCPUのクロック制御装置の第1の実施の形態であるコンピュータシステムを示す図である。

【0017】まず、構成を説明する。図1は、本実施の形態のコンピュータシステム1のモジュールを示すブロック図である。図1において、コンピュータシステム1は、タスク1～3、スケジューラ2、処理回路3、電源制御回路4、周辺回路5、記憶装置6～8、セレクタ9、記憶回路10、比較器11、CPU速度対クロック表12、及びクロック選択回路13等から構成されている。

【0018】ここで、スケジューラ2、タスク1～3、及び処理回路3は、一般的なマルチタスクスケジューリングを行う装置である。マルチタスクとは、例えばパソコンなどのソフトを設計する場合に、タスク(機能)別に設計を行ったほうがプログラム設計する上で容易かつ信頼性の高いプログラムを書くことができるため、従来より採用されている技術である。

【0019】本実施の形態のコンピュータシステム1は、ダイナミック(動的)かつ適切なCPUクロックの選択制御を行うものである。

【0020】タスク1～3は、それぞれ、例えば、キー処理、(文字)認識処理、及びユーザーインターフェース処理のプログラムである。

【0021】スケジューラ2は、複数のタスクを効率的に処理すべくスケジューリングを行い、例えば、キー処理タスクがキー待ちなどによってタスク処理が待ち状態などの状態になったら、次のタスクは処理の権限を移行させるなどの処理を行う。すなわち、スケジューラ2は、複数のタスクのうち順次、一つだけを選択し、処理回路3にて処理できるようにスケジュールを行う。

【0022】処理回路3は、スケジューラ2により選択されるタスクを実行する。電源制御回路4は、スケジューラ2で選択されるタスクに応じて、周辺回路5の各部に出力する駆動電圧を制御する。

【0023】記憶装置6～8は、それぞれ、上記タスク1～3で必要とするCPUの使用量(必要処理能力)をそれぞれ記憶している。ここで、CPUの使用量とは、KIPS(1000 Instruction per second)等の一 定時間に必要な計算量を示したものである。例えば、タスク1のキー処理は、単純なキーの取り込みなどの処理であるからCPUの使用量は少なく20KIPS程度である。また、タスク2の認識処理は、1000KIPS程度となる。

【0024】セレクタ9は、スケジューラ2によって選択されるタスクに対応するCPUの使用量を記憶装置6～8から読み出し、記憶回路10に出力する。記憶回路10は、セレクタ9から入力される現在選択されているタスクに対応するCPUの使用量を一時的に格納するレジスタであり、また、かかるCPUの使用量を比較器に出力する。

【0025】CPU速度対クロック表12は、CPUの使用量と当該CPUの使用量を実行するために必要なク

ロック値とが対応づけられて格納されている。

【0026】比較器11は、CPU速度対クロック表12が接続されており、記憶回路10から入力される現在選択されているタスクのCPUの使用量と、CPU速度対クロック表12の値とを順次比較して、現在選択されているタスクのCPUの使用量に対応するクロック値を選択して、クロック選択回路13に出力する。

【0027】クロック選択回路13は、比較器11から入力されるクロック値に基づいて、クロックを切り替える。

【0028】次に、上記構成のコンピュータシステム1の動作を説明する。

【0029】スケジューラ2は、タスク1～3のうち順次、一つだけを選択し、処理回路3は、スケジューラ2により選択されたタスクを実行する。また、その際、セレクタ9は、スケジューラ2によって選択されるタスクに対応するCPUの使用量を記憶装置6～8から読み出し記憶回路10に出力する。記憶回路10は、セレクタ9から入力される現在選択されているタスクに対応するCPUの使用量を一時的に格納し、比較器11は、現在選択されているCPUの使用量に対応するクロック値をCPU速度対クロック表12から選択して、クロック選択回路13に出力する。そして、クロック選択回路13では、比較器11から入力されるクロック値に基づいて、クロックの切り替えが行われる。

【0030】以上説明したように、本実施の形態においては、タスク毎に、CPU処理に必要なCPUの使用量を記憶装置6～8に記憶し、また、CPUの使用量と当該CPUの使用量に対応するクロック値をCPU速度対クロック表12に記憶し、スケジューラ2がタスクを切り換えると同時にそのタスクに必要なクロック値を選択する構成があるので、常に無駄のないCPU能力で操作することが可能となり、CPUにおける消費電力を低減することが可能となる。

【0031】尚、タスクによっては、例えば表示等の高速切り替えなどのように、ある瞬時だけ高速なCPU処理が必要な場合があり、常に高速なCPU処理を必要としているわけではないので、必要なときだけクロックを切り替えれば良い。この機能を実現する為に、処理回路3により、記憶装置6～8に記憶されているCPUの使用量を適宜書き換え可能な構成とすれば、より細かく且つダイナミックにCPU能力を制御することが可能となる。

【0032】(第2の実施の形態)以下、図2～図4を参照して第2の実施の形態を説明する。上記した第1の実施の形態は、スケジューラによって選択され処理回路により処理されているタスクに必要なCPUの使用量に対応するクロックを選択する構成であるが、第2の実施の形態は、動作中のタスクのCPU使用量と中断中のタスクのCPUの使用量とを加算して、現在CPUが必要

とされるCPUの総使用量に応じたクロックを選択する構成である。

【0033】付言すると、実際のタスク処理を並列的に処理を行う場合は、一つのタスクの処理を行っているときには、ほかの処理待ち状態(処理を行わなくても良い)であるとは限らない。例えば、キー処理を行っている場合であっても、適宜タッチパネルの入力は為されており、認識のタスクは処理を中断された状態である。このような場合には、現在キー処理を行っているからといってその処理のCPU速度だけを選択するのは認識処理の処理速度が遅くなるという問題が生じる。本実施の形態では、かかる問題を解決すべく、上記構成とした。

【0034】図2は、第2の実施の形態のコンピュータシステムのモジュールを示すブロック図である。同図において、図1のコンピュータシステムと同等機能を有する部分は、同一符号を付しており、かかる部分の説明は一部省略し、特徴的な部分を中心に説明する。

【0035】即ち、図2に示すコンピュータシステム30は、マルチタスク処理を行う部分(スケジューラ2、20処理回路3、タスク1～3)、電源制御回路4、周辺回路5、記憶装置6～8、比較器11、CPU速度対クロック表12、及びクロック選択回路13は、図1と同様であり、異なる部分は、記憶装置6～8に各々導出回路14～16が接続され、これら導出回路14～16に加算器17が接続されている点である。

【0036】スケジューラ2は、現在動作を必要としているタスクに対応するCPUの使用量を、記憶装置6～8から導出回路14～16により導出させる。導出回路14～16はスケジューラ2の制御により上記CPUの使用量の値を加算器17に加えるかどうかを選択を行う装置である。尚、スケジューラ2は現在動作を必要としているタスクに対してにみCPUの使用量を導出するよう制御を行っている。

【0037】加算器17は、導出回路14～16から入力されるCPUの使用量を加算して比較器11に出力する。比較器11は、加算されたCPUの使用量に対応するクロック値をCPU速度対クロック表12から読み出して、現在必要なCPUの総使用量に適したクロック値を選択する。

【0038】次に、上記の如く構成されたコンピュータシステム30の動作を図3及び図4を参照して説明する。図3は、タスクの取りうる状態と遷移を示す図である。

【0039】図3において、動作中とは、現在タスクが使用されている状態である。動作中タスクはキーなどの割り込みなどのイベントを持つ場合には待機中モードにスケジューラはそのタスクを遷移させる。待機中のタスクは待っているイベントが起こると現在実行中のタスクがない場合には動作中へ、また動作中のタスクがある場合には中断中へ遷移される。また、実行タスクは、所定

時間後、中断中へ遷移される。

【0040】遷移のさせかたは、スケジューラ2が所定時間タイマなどでカウントを行い強制的に遷移される方法とタスクが自ら、ある程度の処理毎に待機モードは遷移を行う方法があるが本実施例には、どちらでも問題がないので後者であるとする。

【0041】あるタスクが中断中に遷移が行われるときには、ほかの中断中であるタスクが動作モードに遷移される。図4にタスクスケジュールされる仕組みを図示している。図中左にタスクがとれる状態を示している。それぞれの状態にあるタスクをそれらの状態の右側に書いている。スケジューラ2は、上記に述べた動作をチェーンなどの手法を用いて実現を行う。このような方法によって、スケジューラ2は現在動作を行っているタスク並びに中断中であるタスクを管理することができる。

【0042】即ち、スケジューラ2は、タスクのうち動作中であるタスクと、中断中のタスクに該当するCPUの使用量を記憶装置6～8から導出回路14～16により導出させ、加算器17により導出されたCPUの使用量は加算され、CPUの総使用量が算出され、比較器11により、算出されたCPUの総使用量に対応するクロック値がCPU速度対クロック表12から選択され、クロック選択回路13により選択されたクロック値に基づいて、クロックが切り替えられる。したがって、現在CPUが必要とされるタスクの量に応じたクロックが選択されるので、適宜最適なCPU能力で動作することになり、無駄なCPU能力で動作することがなくなり、有効な消費電力管理を行うことが可能となる。

【0043】

【発明の効果】請求項1記載の発明によれば、タスク毎に、CPU処理に必要な量を記憶し、タスクスケジューラがタスクを切り換えると同時にそのタスクに必要なクロックが選択可能な構成であるため、常に無駄のないCPU能力で動作することが可能となり、CPUにおける消費電力を低減することが可能となる。

【0044】また、請求項2記載の発明によれば、請求項1記載の発明の効果に加えて、細かくかつダイナミックにCPU能力を制御することが可能となる。

【0045】また、請求項3記載の発明によれば、現在CPUが必要とされるタスクの量に応じたクロックを選択可能な構成であるので、適宜最適なCPU能力で動作することになり、無駄なCPU能力で動作することがなくなり、有効な消費電力管理を行うことが可能となる。

【図面の簡単な説明】

10 【図1】本発明のCPUのクロック制御装置を適用した第1の実施の形態におけるスケジューリング装置1のブロック構成を示す図。

【図2】本発明のCPUのクロック制御装置を適用した第2の実施の形態におけるスケジューリング装置1のブロック構成を示す図。

【図3】タスクの取りうる状態と遷移を示す図。

【図4】タスクスケジュールされる仕組みを示す図。

【符号の説明】

1 3 0 タイムスケジューラ装置

20 2 スケジューラ

3 処理回路

4 電源制御回路

5 周辺回路

6 記憶装置

7 記憶装置

8 記憶装置

9 セレクタ

10 記憶回路

11 比較器

30 12 CPU速度対クロック表

13 クロック選択回路

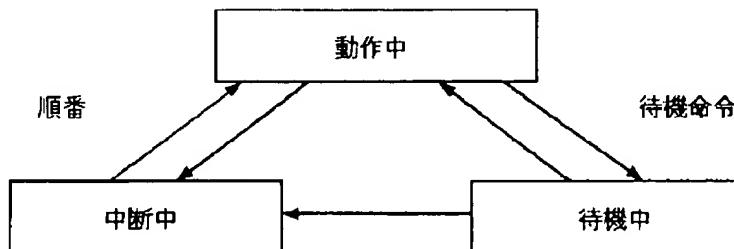
14 導出回路

15 導出回路

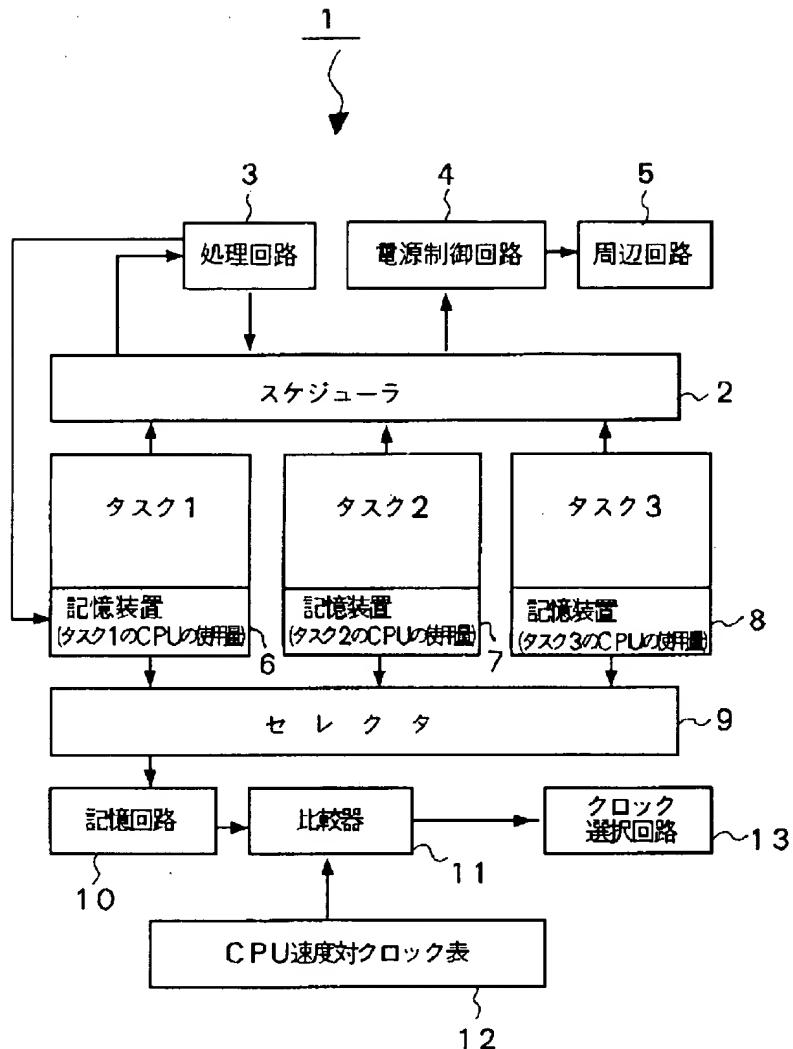
16 導出回路

17 加算器

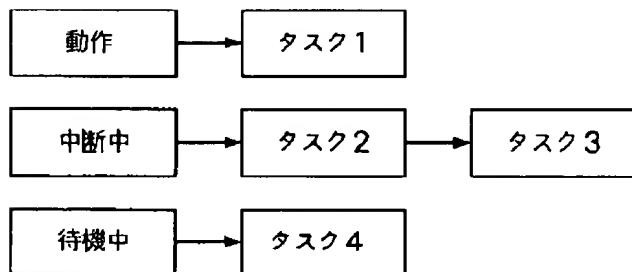
【図3】



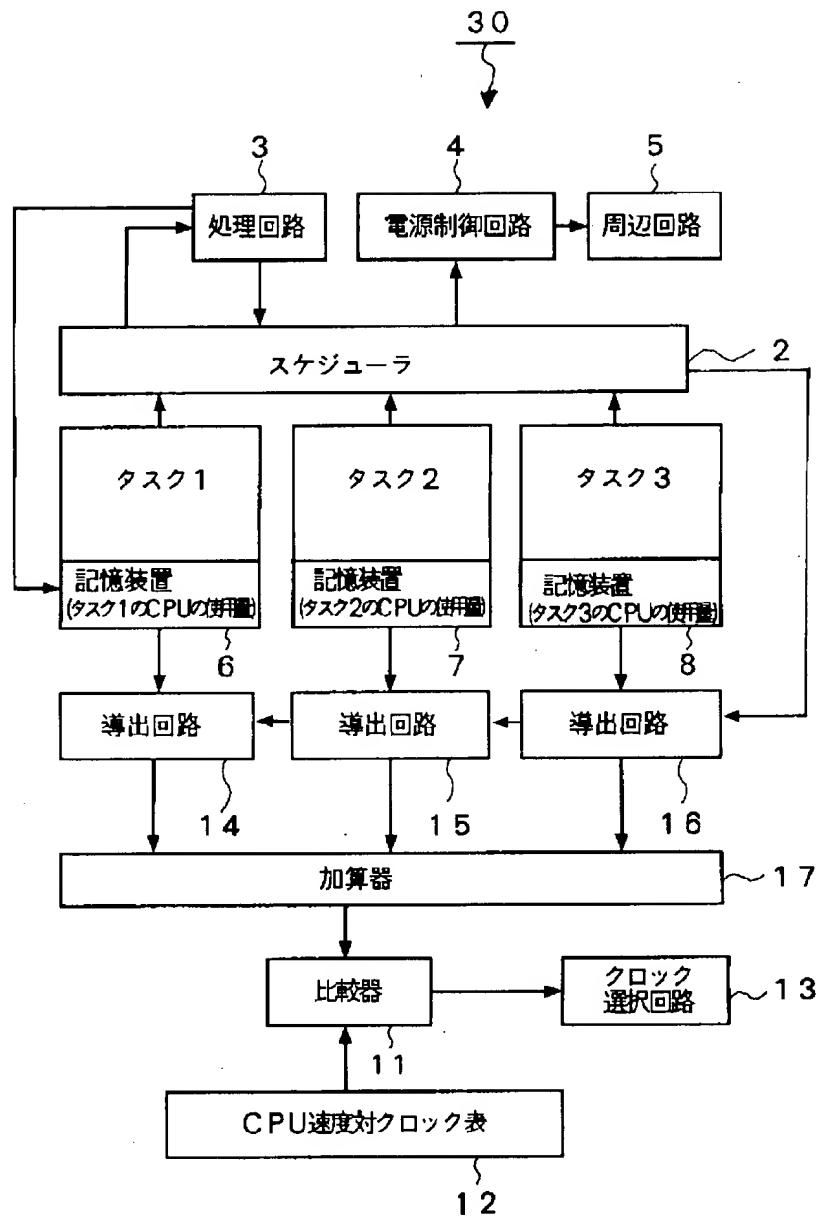
【図1】



【図4】



【図2】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.